

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2005-507111

(P2005-507111A)

(43) 公表日 平成17年3月10日 (2005.3.10)

(51) Int. Cl.⁷

G06F 12/00

F I

G06F 12/00 550E

G06F 12/00 564A

テーマコード (参考)

5B060

審査請求 有 予備審査請求 有 (全 32 頁)

(21) 出願番号 特願2003-538872 (P2003-538872)
 (86) (22) 出願日 平成14年10月18日 (2002.10.18)
 (85) 翻訳文提出日 平成16年4月21日 (2004.4.21)
 (86) 国際出願番号 PCT/US2002/033323
 (87) 国際公開番号 W02003/036450
 (87) 国際公開日 平成15年5月1日 (2003.5.1)
 (31) 優先権主張番号 60/345,315
 (32) 優先日 平成13年10月22日 (2001.10.22)
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), DE, GB, JP, KR

(71) 出願人 503363507
 サン・マイクロシステムズ・インコーポレーテッド
 SUN MICROSYSTEMS INCORPORATED
 アメリカ合衆国 カリフォルニア州94054 サンタ・クララ、ネットワーク・サークル、4150、ユーエスシーエー12-101
 (74) 代理人 110000028
 特許業務法人明成国際特許事務所
 (72) 発明者 コーン・レスリー・ディ.
 アメリカ合衆国 カリフォルニア州94539 フリモント、ローズメール・ドライブ、43967

Fターム (参考) 5B060 CC01

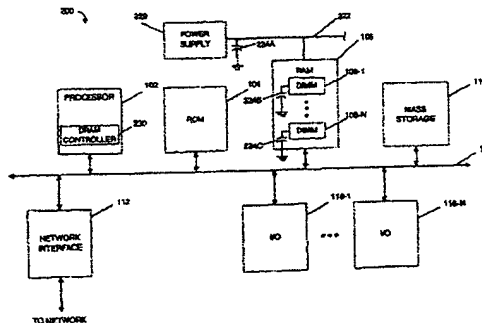
(54) 【発明の名称】 DRAM電力管理

(57) 【要約】

【課題】 各D I M Mの最大電力消費量を低減又は制限するシステム及び方法を提供する。

【解決手段】 コンピュータメモリシステムの電力消費量を制限するシステム及び方法。このシステム及び方法は、メモリアクセス速度を選択する工程を含む。選択したメモリアクセス速度は、所望の平均メモリ電力消費率に対応する。第一の時間間隔が、現行時間間隔として開始される。メモリシステムがアクセスを受ける。メモリアクセス速度を上回らない場合、このアクセスは、メモリシステムに適用される。代替として、メモリアクセス速度を上回る場合、このアクセスは遅延され、現行時間間隔が満了し、後続の時間間隔が現行時間間隔として開始されてから、このアクセスがメモリシステムに適用される。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

コンピューティングシステムであって、
プロセッサと、
少なくとも一つのDRAMモジュールを含むメモリシステムと、
平均DRAMモジュール電力消費率が所望のメモリ電力消費率以下になるように前記少なくとも一つのDRAMモジュールに対するアクセス速度を制限する動作が可能であるDRAMコントローラと、
前記メモリシステム、前記プロセッサ、及び前記DRAMコントローラを結合するバスと、
を備えるシステム。

10

【請求項 2】

請求項 1 記載のコンピューティングシステムであって、
前記DRAMコントローラは、ステートマシンを含む、システム。

【請求項 3】

請求項 1 記載のコンピューティングシステムであって、
前記アクセス速度は、現行時間間隔当たりのアクセス数に等しい、システム。

【請求項 4】

請求項 3 記載のコンピューティングシステムであって、さらに、
前記メモリシステム用の電源を備える、システム。

20

【請求項 5】

請求項 4 記載のコンピューティングシステムであって、
前記現行時間間隔の長さは、前記メモリシステム用の前記電源の調整時定数より小さい、システム。

【請求項 6】

請求項 4 記載のコンピューティングシステムであって、
前記現行時間間隔の長さは、約 10 マイクロ秒に等しい、システム。

【請求項 7】

請求項 1 記載のコンピューティングシステムであって、
所望のメモリ電力消費率は、前記少なくとも一つのDRAMモジュールの最大電力消費量の約 66 パーセントに等しい、システム。

30

【請求項 8】

請求項 1 記載のコンピューティングシステムであって、
前記所望のメモリ電力消費率は、前記少なくとも一つのDRAMモジュールの各々について約 9 ワットに等しい、システム。

【請求項 9】

請求項 1 記載のコンピューティングシステムであって、
前記プロセッサは、前記DRAMコントローラを含む、システム。

【請求項 10】

コンピュータメモリシステムの電力消費量を制限する方法であって、
メモリアクセス速度を選択する工程であって、前記選択されたメモリアクセス速度が所望の平均メモリ電力消費率に対応する工程と、
第 1 の時間間隔を、現行時間間隔として開始する工程と、
メモリシステムにアクセスする工程と、
前記メモリアクセス速度を超過しない場合には、前記アクセスをメモリシステムに適用する工程と、
前記メモリアクセス速度を超過する場合には、前記現行時間間隔が満了するまで、前記アクセスを遅延させるとともに、後続の時間間隔を前記現行時間間隔として開始し、そして前記アクセスを前記メモリシステムに適用する工程と、
を備える方法。

40

50

【請求項 1 1】

請求項 1 0 記載の方法であって、
前記メモリシステムにアクセスする工程は、前記現行時間間隔が満了したかどうかを判断するとともに、前記現行時間間隔が満了している場合には、後続の時間間隔を前記現行時間間隔として開始するとともに、前記アクセスを前記メモリシステムに適用する工程を含む、方法。

【請求項 1 2】

請求項 1 1 記載の方法であって、
前記現行時間間隔が満了していない場合には、アクセスカウンタを増分する、方法。

【請求項 1 3】

請求項 1 0 記載の方法であって、
前記アクセス速度は、現行時間間隔当たりのアクセス数に等しい、方法。

【請求項 1 4】

請求項 1 0 記載の方法であって、
前記メモリアccess速度を選択する工程は、前記現行時間間隔の長さを選択する工程を含む、方法。

【請求項 1 5】

請求項 1 4 記載の方法であって、
前記現行時間間隔の長さは、前記コンピュータシステム用の電源の調整時定数より小さい、方法。

【請求項 1 6】

請求項 1 4 記載の方法であって、
前記現行時間間隔の長さは、約 1 0 マイクロ秒に等しい、方法。

【請求項 1 7】

請求項 1 0 記載の方法であって、
前記所望のメモリ電力消費率は、前記メモリシステム内の各メモリモジュールの最大電力消費量の約 6 6 パーセントに等しい、方法。

【請求項 1 8】

請求項 1 0 記載の方法であって、
前記所望のメモリ電力消費率は、前記メモリシステム内のメモリモジュール当たり約 9 ワットに等しい、方法。

【請求項 1 9】

請求項 1 0 記載の方法であって、
DRAMコントローラが前記メモリシステムへのアクセスを制御する、方法。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は、コンピュータシステムに関し、特に、コンピュータメモリシステムの電力消費量を管理する方法及びシステムに関する。

【背景技術】**【0 0 0 2】**

コンピュータ及びコンピューティングデバイスの電力消費量は、多くの理由から問題となる。例としては、限られた電源（即ち、バッテリー）を有するポータブルコンピューティングデバイスと、大量のデータを処理すると同時に、処理において大量の電力を消費する大型サーバコンピュータシステムと、コンピューティングデバイスによって電力が消費される際に生成される熱を除去するために必要な冷却とが含まれる。コンピュータによる総電力消費量は、着実に低減されている。一例として、ポータブル「ラップトップ」コンピュータのバッテリーは、有限の電源である。ラップトップコンピュータの性能の一態様は、バッテリーによってどのくらい長く動作できるかである。大きく重いバッテリーは、通常、動作時間を長くできるが、ラップトップは軽量であることによっても評価されるため、バッテ

10

20

30

40

50

り重量の増加は、通常、敬遠される。そのため、ラップトップコンピュータの電力管理及び効率性は、重要な特徴となる。

【0003】

電力管理の別の例は、サーバコンピュータである。サーバコンピュータは、非常に多くのデータを処理するため、大量の電力を消費する。更に、多数のサーバを組み合わせ、「サーバファーム」として共に機能させる時、電力消費量は、非常に大きくなる。消費された電力の多くは熱に変換されるため、サーバは、通常、空調及び冷房システムによって積極的に冷却され、システムはサーバの全体的な電力消費量を更に増加させる。

【0004】

コンピュータの電力効率については、様々な方法を通じて取り組まれてきたため、現在では、高効率コンピュータのメモリシステムの電力消費量は、プロセッサ自体の電力消費量を遙かに上回る場合がある。一例として、高効率プロセッサは、およそ40ワットの電力を消費する。サーバ内のこうした高効率プロセッサは、メモリシステムにおいて、16以上のDRAM（ダイナミックランダムアクセスメモリ）DIMM（デュアルインラインメモリ）を有することができる。それぞれのDIMMは、最大アクセス（即ち、読み出し／格納）速度において、およそ14ワットの電力を消費し、結果として、16のDIMMでは、最大アクセス速度において、合計224ワットの電力消費量が生じる。

【0005】

しかし、通常の電力使用量は、遙かに低い。通常の電力使用量が低くなる理由は、DIMMが常に最大アクセス速度で使用する訳ではないためである。DIMM内のメモリセルで書き込み又は読み出しが行われる度に、少量の電力が消費される。そのため、DIMMが所定の時間間隔でアクセスを受ける回数は、DIMMの総電力使用量に影響を与える。

【0006】

図1は、代表的なコンピュータシステム100の高レベルブロック図である。表示のように、コンピュータシステム100は、プロセッサ102と、ROM104と、RAM106とを含み、それぞれがバスシステム108に接続される。バスシステム108は、この技術で広く知られているような、様々なブリッジ、コントローラ、及び又はアダプタを通じて互いに接続される一つ以上のバスを含んでもよい。例えば、バスシステム108は、アダプタを通じて、周辺装置相互接続（PCI）バス等の一つ以上の拡張バスに接続される「システムバス」を含んでもよい。更に、バスシステム108には、マスタストレージデバイス110と、ネットワークインタフェース112と、多数（N）の入出力（I/O）デバイス116-1～116-Nとが結合される。

【0007】

I/Oデバイス116-1～116-Nは、例えば、キーボード、ポインティングデバイス、ディスプレイデバイス、及び又はその他の従来型のI/Oデバイスを含んでもよい。マスタストレージデバイス110は、磁気ディスク又はテープ、光磁気（MO）記憶デバイス、或いは様々なタイプのデジタル多用途ディスク（DVD）又はコンパクトディスク（CD）に基づくストレージのいずれかといった、大量のデータを格納するのに適切な任意のデバイスを含んでもよい。

【0008】

ネットワークインタフェース112は、コンピュータシステムと、ローカルエリアネットワーク、ワイドエリアネットワーク、インターネット、又はその他のネットワークといったネットワーク上にある他のコンピュータシステムとの間でのデータ通信を提供する。したがって、ネットワークインタフェース112は、コンピュータシステム100がデータ通信リンク上でリモート処理システムとデータ通信するのに最適な、或いはこれを可能にする、従来の電話モデム、統合サービスデジタルネットワーク（ISDN）アダプタ、デジタル加入者回線（DSL）アダプタ、ケーブルモデム、衛星トランシーバ、イーサネット（登録商標）アダプタ、又はその他といった、任意のデバイスにしてもよい。

【0009】

RAM106は、多数のDIMM106-1ないし106-Nを含むことができる。代表

10

20

30

40

50

的な用途において、D I M Mの平均アクセス速度は、平均6ワットの電力消費量を発生させる。しかしながら、上記のように、最大アクセス速度により、この電力は、各D I M M 1 0 6 - 1ないし1 0 6 - Nに関して1 4ワットの大きさまで増加する可能性がある。

【発明の開示】

【発明が解決しようとする課題】

【0 0 1 0】

上述したことに鑑みると、必要とされるものは、プロセッサの性能に大きな影響を与えない電源により実現されるような、各D I M Mの最大電力消費量を低減又は制限するシステム及び方法である

【課題を解決するための手段】

【0 0 1 1】

大まかに言って、本発明は、D R A Mの電力消費量を管理するシステム及び方法を提供することで、こうした必要性を満たす。本発明は、処理、装置、システム、又はデバイスを含め、多数の方法で実施し得ると理解されるべきである。以下、本発明のいくつかの発明実施形態について説明する。

【0 0 1 2】

一実施形態は、プロセッサと、メモリシステムと、D R A Mコントローラと、メモリシステム、プロセッサ、及びD R A Mコントローラを結合するバスとを含んだコンピューティングシステムを含む。このメモリシステムは、少なくとも一つのD R A Mモジュールを含むことができる。D R A Mコントローラは、D R A Mモジュールの電力消費率が所望の平均メモリ電力消費率より小さくなるように、或いは等しくなるように、少なくとも一つのD R A Mモジュールに対するアクセス速度（即ち、所定の時間間隔におけるアクセス数）を制限する動作が可能である。

【0 0 1 3】

このD R A Mコントローラは、ステートマシンを含むことができる。

【0 0 1 4】

このアクセス速度は、現行時間間隔当たりのアクセス数に等しくすることができる。

【0 0 1 5】

このコンピュータシステムは、さらに、メモリシステム用の電源を含むことができる。

【0 0 1 6】

現行時間間隔の長さは、メモリシステム用の電源の調整時定数より短くすることができる。

【0 0 1 7】

本発明の利点の一つは、所望の最大電力消費量より高く、調整時定数より短いD R A M出力スパイクを、電源デカップリングキャパシタによって、電源又はプロセッサの動作に影響を与えることなく、供給できることである。

【0 0 1 8】

現行時間間隔の長さは、約1 0マイクロ秒に等しくすることができる。この現行時間間隔は、現行時間間隔におけるD R A Mアクセス速度が長期的な平均を殆ど上回らない十分な長さとなる。結果として、現行時間間隔におけるD R A Mアクセス数の制限は、プロセッサの性能に対する影響を最小化する。

【0 0 1 9】

所望のメモリ電力消費率は、少なくとも一つのD R A Mモジュールの最大電力消費率の約6 6パーセントに等しくすることができる。代替として、所望のメモリ電力消費率は、少なくとも一つのD R A Mモジュールのそれぞれに関して、約9ワットに等しくすることができる。

【0 0 2 0】

プロセッサは、D R A Mコントローラを含むことができる。

【0 0 2 1】

別の実施形態は、コンピュータメモリシステムの電力消費量を制限する方法を含む。この

方法は、メモリアクセス速度を選択する工程を含む。選択したメモリアクセス速度は、所望の平均メモリ電力消費率に対応する。第一の時間間隔が、現行時間間隔として開始される。メモリシステムがアクセスを受ける。メモリアクセス速度を上回らない場合、このアクセスは、メモリシステムに適用される。代替として、メモリアクセス速度を上回る場合、このアクセスは遅延され、現行時間間隔が満了となり、後続の時間間隔が現行時間間隔として開始されてから、このアクセスがメモリシステムに適用される。

【0022】

メモリシステムにアクセスする工程は、現行時間間隔が満了したかどうかを判断する工程を含むことができる。現行時間間隔が満了している場合、後続の時間間隔が現行時間間隔として開始され、このアクセスがメモリシステムに適用される。代替として、現行時間間隔が満了していない場合には、アクセスカウンタが増分される。アクセスカウンタは、DRAMコントローラの一部にすることができる。

【0023】

アクセス速度は、現行時間間隔当たりのアクセス数に等しい。

【0024】

一実施形態において、メモリアクセス速度を選択する工程は、現行時間間隔の長さを選択する工程を含む。

【0025】

一実施形態において、DRAMコントローラは、メモリシステムへのアクセスを制御する。

【発明の効果】

【0026】

本発明は、メモリシステムの性能に大きな影響を与えない電源及び冷却システムによって実現されるような、メモリシステムのワーストケースの電力消費量を大幅に低減する利点を提供する。ワーストケースの電力消費量を低減することで、全体的に小さな電源供給を使用することができる。ワーストケースの電力消費量を低減することで、更に、冷却システム及び方法のピーク需要が低減され、これにより、全体的に小さな冷却システムが可能となる。

【0027】

本発明のその他の態様及び利点は、本発明の原理を例として示す添付図面と併せて、以下の詳細な説明から明らかになる。

【発明を実施するための最良の形態】

【0028】

本発明は、添付図面と併せて、以下の詳細な説明により容易に理解されよう。同様の参照符号は同様の構造要素を指す。

【0029】

次に、DRAM電力消費量を管理するためのいくつかの例示的实施形態について説明する。本明細書で述べる具体的な詳細の一部又は全部を伴わずに本発明を実施し得ることは当業者には明らかであろう。

【0030】

上記のように、代表的な用途において、DIMMは、通常のアクセス速度で、DIMM毎に平均して約6～9ワットの電力消費量を発生させる。同じDIMMは、最大アクセス速度で、14ワットの大きさの最大電力消費量を有する可能性がある。一実施形態において、DIMMの電力消費量を低減するシステム及び方法は、DIMMの最大電力消費量が事前に選択した量を上回らないように、所定の時間間隔でのDIMMに対するアクセス数を制限する方法である。

【0031】

一実施形態において、アクセス速度は、事前に選択した時間間隔での対応する電力レベルを電力消費量が上回れないように、選択した速度に制限することができる。一例として、対応する電力消費量は、DIMMの最大電力消費量の約66パーセントにすることが可能

であり、D I M Mが最大アクセス速度で約14ワットを消費する場合には約9ワットにできる。事前に選択した時間間隔は、約10マイクロ秒にすることができる。そのため、D I M Mアクセス速度が10マイクロ秒当たり1,000アクセスで、D I M Mの電力消費率が9ワットとなる場合、同じ10マイクロ秒期間での1,001及び後続のアクセスは、後続の10マイクロ秒期間まで遅延されることになる。

【0032】

熱時定数は10マイクロ秒より遙かに長く、結果として、冷却システムで見られるD I M Mのピーク電力消費量も約35%低減可能となり、この低減により、更にコンピュータシステムの冷却要件が低減され、更に電源の電力要件が低減される。

【0033】

図2は、本発明の一実施形態による、コンピュータシステム200のブロック図である。コンピュータシステム200は、プロセッサ102と、ROM104と、RAM106とを含み、それぞれがバスシステム108に接続される。コンピュータシステム200は、更に、マストレージデバイス110と、ネットワークインタフェース112と、多数(N)の入出力(I/O)デバイス116-1乃至116-Nと、電源220とを含む。コンピュータシステム200は、更に、RAM106へのアクセスを制御するDRAMコントローラ230を含むことができる。DRAMコントローラ230は、プロセッサ102の一部、又はバスシステム108の一部、又はRAM106の一部にすることができる。DRAMコントローラ230は、ステートマシンにすることもできる。

【0034】

電源220は、コンピュータシステム200の様々な構成要素に電力を供給する。特に、電源220は、電源レール222を介して、D I M M106-1ないし106-Nに電流を供給する。電源220は、一つ以上のデカップリングキャパシタ224Aを含む。D I M M106-1ないし106-Nのそれぞれも、一つ以上のデカップリングキャパシタ224B、224Cを含むことができる。

【0035】

通常、電源220は、電源220が電源レール222上の電流需要における変化にตอบสนองするのに要する時間である調整時定数を有する。一例として、調整時定数が10マイクロ秒である場合、電源レール222上の電流需要が200mAから300mAに増加したとすると、電源220は、100mAの電流の増加(合計300mA)を電源レール222へ伝達する際に、およそ10マイクロ秒遅れることになる。別の例において、D I M M106-1ないし106-Nでのアクセス数が突然(例えば、5マイクロ秒で)二倍になった場合、D I M M106-1ないし106-Nによる電流引き込みは、同じように突然二倍になる。しかしながら、電源220は、電源レール222に供給する電流の量を5マイクロ秒で増加させることができないため、様々なデカップリングキャパシタ224A、224B、224Cは、部分的に放電し、電源220が電力消費需要を充足できるようになるまで、5マイクロ秒のピーク需要期間に「過剰需要電流」を供給することができる。

【0036】

代表的な調整時定数は、10マイクロ秒であるため、デカップリングキャパシタ224A、224B、224Cは、およそ10マイクロ秒に渡ってピーク電流を供給できるようなサイズとする。

【0037】

図3は、本発明の一実施形態による、方法の動作300のフローチャート図である。動作302において、D I M Mアクセス速度(即ち、事前に選択した時間間隔当たりのアクセス)が選択される。D I M Mアクセス速度は、このアクセス速度に対応する所望の電力消費率を選択することで選択できる。例えば、所定のD I M Mに関して、10マイクロ秒の各間隔当たり1000アクセスの場合、D I M Mは、10マイクロ秒の各時間間隔に9ワットの電力を消費することになる。したがって、10マイクロ秒当たり1000アクセスを選択することは、9ワットの電力消費量に対応することになる。代替として、10マイクロ秒当たり9ワットの消費率を選択することは、10マイクロ秒の間隔当たり1000

10

20

30

40

50

アクセスに対応することになる。アクセス速度を選択することは、更に、時間間隔を選択することを含む。

【0038】

選択する時間間隔の長さは、アクセス試行数が選択アクセス速度を上回ることになる間隔がほんの僅かだけ存在するように、依然として十分な長さで、相対的に短い時間間隔となるように選択される。選択する時間間隔が十分に長く、実際に遅延されるアクセスが僅かしかないため、プロセッサに対する大きな性能上の影響は存在しないことになる。一実施形態において、10マイクロ秒の時間間隔が採用されるのは、10マイクロ秒が、上記のように、代表的な電源の調整時定数にもなるためである。本明細書では10マイクロ秒の時間間隔について説明したが、これより短い又は長い時間間隔も使用できると理解するべきである。

10

【0039】

動作304では、最初の時間間隔が開始される。事前に選択された時間間隔の長さを有するタイマを使用して、時間間隔をモニタすることができる。プロセッサ102は、動作306において、DIMMにアクセスする。一実施形態では、DRAMコントローラ230が、プロセッサのDIMMでのアクセスをインタセプトし、プロセッサ102によるDIMM106-1ないし106-Nへのアクセスを制御する。

【0040】

動作308において、時間間隔が満了したかどうかを判断するために、時間間隔がチェックされる。時間間隔が満了している場合、方法の動作は、下記の動作322へ進む。動作308において、時間間隔が満了していない場合は、動作310において、DIMMアクセスカウンタが増分される。DIMMアクセスカウンタは、物理的なカウンタにすること、或いは単純にメモリ位置にすること、或いは、当該技術分野で周知の、状態をモニタする他の任意の方法にすることができる。

20

【0041】

動作312では、アクセス速度を上回っているかを判断するために、アクセス速度が調査される。一例として、DIMMアクセスカウンタを調査し、アクセス数が現行時間間隔における最大アクセス数を上回っているかを判断することができる。動作312において、アクセス速度を上回っていない場合、このアクセスは、動作314において、DIMMに適用され、DIMMは、動作316において、アクセスに応答し、方法の動作は動作306に継続する。

30

【0042】

動作312において、アクセス速度を上回っていた場合、この時には、動作320で現行の時間間隔が満了するまで、このアクセスは遅延される。現行時間間隔が動作320で満了した時、方法の動作は、動作322において継続され、後続の時間間隔が開始される。動作324において、アクセスがDIMMに適用され、DIMMは、動作326において、アクセスに応答する。DIMMアクセスカウンタは、動作328で1にリセットされ、方法の動作は、動作306に継続する。

【0043】

本明細書での使用において、「約」という用語は、+/-10%を意味する。一例として、「約250」という語句は、225ないし275の範囲を示す。

40

【0044】

上記の実施形態を考慮すると、本発明では、コンピュータシステムに格納されたデータが関与する様々なコンピュータ実施動作を利用してもよいと理解するべきである。こうした動作は、物理量の物理的操作を必要とするものである。通常は、必須ではないものの、こうした量は、格納と、転送と、結合と、比較と、その他の操作とが可能な電気又は磁気信号の形態を取る。更に、実行される操作は、生成、特定、決定、又は比較といった用語で呼ばれることが多い。

【0045】

本発明の一部を形成する、本明細書で説明した任意の動作は、有用な機械動作である。本

50

発明は、こうした動作を実行するデバイス又は装置にも関する。この装置は、必要な目的のために特別に構築してもよく、或いは、コンピュータに格納されるコンピュータプログラムによって選択的に起動又は構成される汎用コンピュータにしてもよい。特に、様々な汎用機を、本明細書の教示内容に従って書かれたコンピュータプログラムと共に使用してもよく、或いは、更に特化した装置を構築して必要な動作を実行する方が好都合である場合もある。

【0046】

本発明は、コンピュータ可読媒体上のコンピュータ可読コードとして実施することもできる。このコンピュータ可読媒体は、データを格納することが可能な任意のデータ記憶装置であり、前記データはその後コンピュータシステムによって読むことができる。コンピュータ可読媒体の例には、ハードドライブと、ネットワーク接続ストレージ（NAS）と、読み出し専用メモリと、ランダムアクセスメモリと、CD-ROMと、CD-Rと、CD-RWと、磁気テープと、その他の光学及び非光学データ記憶装置とが含まれる。コンピュータ可読媒体は、ネットワークに接続されたコンピュータシステム上で分散させ、コンピュータ可読コードを分散形式で格納及び実行することも可能である。

10

【0047】

更に、図3における動作によって表される命令は、例示の順序で実行する必要はなく、この動作により表される全ての処理は、本発明を実施する上で必ずしも必要ではない場合があると理解される。更に、図3において説明した処理は、RAM、ROM、又はハードディスクドライブのいずれか一つ又は組み合わせに格納されるソフトウェアにおいて実施することもできる。

20

【0048】

上記の発明について明確な理解を目的としてある程度詳細に説明してきたが、前記特許請求の範囲内で一定の変更及び変形を実施し得ることは明らかであろう。したがって、本発明は、制限的ではなく例示的なものとみなされるべきであり、本発明は、本明細書に記載の詳細に限定されず、前記特許請求の範囲及びその等価物の範囲内で変形し得る。

【図面の簡単な説明】

【0049】

【図1】 代表的なコンピュータシステムの高レベルブロック図。

【図2】 本発明の一実施形態による、コンピュータシステムのブロック図。

【図3】 本発明の一実施形態による、方法の動作のフローチャート図。

30

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



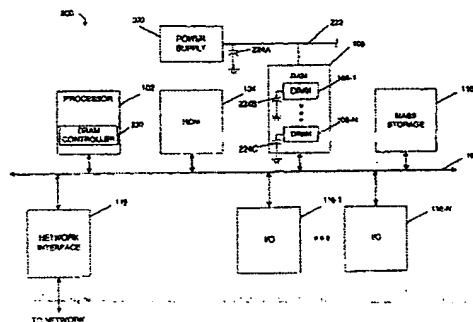
PCT

(10) International Publication Number
WO 03/036450 A2

- | | | | |
|---|---|------------------------------------|--|
| (51) International Patent Classification: | G04F 1/32 | (74) Agents: | LEAVELLE, George B.; Morine & Penilla, LLP
710 Lukeway Drive, Suite 170, Sunnyvale, CA 94085 (US) |
| (21) International Application Number: | PCT/US2002/03232 | (81) Designated States (national): | DE, JP, BR, PT |
| (22) International Filing Date: | 18 October 2002 (18.10.2002) | (84) Designated States (regional): | European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IT, LU, MC, NL, PT, SE, SK, TR) |
| (25) Filing Language: | English | Published: | without international search report and to be republished upon receipt of this report |
| (26) Publication Language: | English | | |
| (30) Priority Data: | 50/345,315 22 October 2001 (22.10.2001) US | | |
| (71) Applicant: | SUN MICROSYSTEMS, INC., (US)
+150/Menlo Park, Santa Clara, CA 95064 (US) | | |
| (72) Inventor: | KOHIN, Leslie D.; 4966 Rosemead Drive, Fremont, CA 94539 (US) | | |
- For non-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: DRAM POWER MANAGEMENT



(57) Abstract: A system and method for limiting power consumption of a computer memory system. The system and method includes selecting a memory access rate. The selected memory access rate corresponds to a desired average memory power consumption rate. A first time interval is started as a current time interval. A memory system is accessed. If the memory access rate has not been exceeded, then the access is applied to the memory system. Alternatively, if the memory access rate has been exceeded, then the access is delayed until the current time interval has expired, and a

WO 03/036450 A2

DRAM POWER MANAGEMENT

5 BACKGROUND OF THE INVENTION

1. Field of the Invention 10

[1] The present invention relates generally to computer systems, and more particularly, to methods and systems for managing power consumption of computer memory systems.

10 2. Description of the Related Art

[2] Power consumption by computers and computing devices is an issue for many reasons. Examples include portable computing devices that have a limited power source (i.e., battery), large server computer systems that process large quantities of data but also consume large quantities of power in the process, and the cooling required to remove the heat that is produced as the power is consumed by the computing devices. The total power consumed by a computer is constantly being driven lower and lower. By way of example, a portable "laptop" computer's battery is a finite power source. One aspect of performance of a laptop computer is how long it can operate on the battery. A larger and heavier battery can typically extend the operating time but because the laptop is also rated for its light weight, increases in battery weight are typically avoided. Therefore the power management and efficiency of a laptop computer is an important feature. 20

[3] Another example of power management is in a server computer. A server computer processes so much data that it also consumes large quantities of power. Further, when multiple servers are combined into a "server farm" to work together, the power consumption becomes very high. Because much of the consumed power is converted to heat, the servers are typically actively cooled by air conditioning and refrigeration systems which further increases the overall power consumption of the server.

[4] Power efficiency of computers has been addressed through various methods such that now the power consumption of a high efficiency computer's memory system can far outweigh the power consumption of the processor itself. By way of example, a high 30

efficiency processor consumes approximately 40 watts of power. Such high efficiency processors in a server can have 16 or more DRAM (dynamic random access memory) DIMMs (dual in-line memory modules) in the memory system. Each of the DIMMs consume approximately 14 watts of power at maximum access (i.e., read/store) rates, resulting in a total of 224 watts power consumption for the 16 DIMMs, at maximum access rates.

[5] Typical power usage, though, is much lower. The reason typical power usage is lower is because the DIMMs are not always being used at maximum access rates. Each time a memory cell within a DIMM is written to or read from, a small amount of power is consumed. Therefore, the number of times a DIMM is accessed in a given time interval impacts the total power usage of that DIMM.

[6] Figure 1 is a high-level block diagram of a typical computer system 100. As shown, the computer system 100 includes a processor 102, ROM 104, and RAM 106, each connected to a bus system 108. The bus system 108 may include one or more buses connected to each other through various bridges, controllers and/or adapters, such as are well known in the art. For example, the bus system 108 may include a "system bus" that is connected through an adapter to one or more expansion buses, such as a Peripheral Component Interconnect (PCI) bus. Also coupled to the bus system 108 are a mass storage device 110, a network interface 112, and a number (N) of input/output (I/O) devices 116-1 through 116-N.

[7] The I/O devices 116-1 through 116-N may include, for example, a keyboard, a pointing device, a display device and/or other conventional I/O devices. The mass storage device 110 may include one or more of any devices that are suitable for storing large volumes of data, such as a magnetic disk or tape, magneto-optical (MO) storage device, or any of various types of Digital Versatile Disk (DVD) or Compact Disk (CD) based storage.

[8] Network interface 112 provides data communication between the computer system and other computer systems on a network such as a local area network, wide area network, the Internet or other networks. Hence, network interface 112 may be any device suitable for enabling the computer system 100 to communicate data with a remote processing system over a data communication link, such as a conventional telephone modem, an Integrated

10

20

30

Services Digital Network (ISDN) adapter, a Digital Subscriber Line (DSL) adapter, a cable modem, a satellite transceiver, an Ethernet adapter, or the like.

[9] The RAM 106 can include multiple DIMMs 106-1 through 106-N. In a typical application, a average access rate of a DIMM results in an average 6-watt power consumption. However, as discussed above, the maximum access rate can cause the power to increase to as much as 14 watts for each DIMM 106-1 through 106-N.

[10] In view of the foregoing, what is needed is a system and method to reduce or limit the maximum power consumption of each DIMM as seen by the power supply without significantly impacting the performance of the processor.

10

10

SUMMARY OF THE INVENTION

[11] Broadly speaking, the present invention fills these needs by providing a system and a method for managing DRAM power consumption. It should be appreciated that the present invention can be implemented in numerous ways, including as a process, an apparatus, a system, or a device. Several inventive embodiments of the present invention are described below.

[12] One embodiment includes a computing system that includes a processor, a memory system, a DRAM controller and a bus that couples the memory system, the processor and the DRAM controller. The memory system can include at least one DRAM module. The DRAM controller is operable to limit an access rate (i.e. number of accesses in a given time interval) to the at least one DRAM module so that a DRAM module power consumption rate is less than or equal to a desired average memory power consumption rate.

20

[13] The DRAM controller can include a state machine.

[14] The access rate can be equal to a number of accesses per a current time interval.

[15] The computer system can also include a power supply for the memory system.

[16] The length for the current time interval can be less than about a regulation time constant of the power supply for the memory system.

[17] One advantage of the present invention is that DRAM power spikes that are higher than the desired maximum power consumption and shorter than the regulation time constant

30

4

can be supplied by the power supply decoupling capacitors without affecting the power supply or processor operation.

[18] The length for the current time interval can be equal to about 10 microseconds. The current time interval is long enough that the DRAM access rate in the current time interval will seldom exceed the long term average. As a result, limiting the number of DRAM accesses in the current time interval will have minimal impact on the performance of the processor.

[19] The desired memory power consumption rate can be equal to about 66 percent of a maximum power consumption rate of the at least one DRAM module. Alternatively, the desired memory power consumption rate can be equal to about 9 watts for each of the at least one DRAM module.

[20] The processor can also include the DRAM controller.

[21] Another embodiment includes a method for limiting power consumption of a computer memory system. The method includes selecting a memory access rate. The selected memory access rate corresponds to a desired average memory power consumption rate. A first time interval is started as a current time interval. A memory system is accessed. If the memory access rate has not been exceeded, then the access is applied to the memory system. Alternatively, if the memory access rate has been exceeded, then the access is delayed until the current time interval has expired and a subsequent time interval is started as the current time interval and the access is applied to the memory system.

[22] Accessing the memory system can include determining if the current time interval has expired. If the current time interval has expired, then a subsequent time interval is started as the current time interval and the access is applied to the memory system. Alternatively, if the current time interval has not expired then an access counter incremented. The access counter can be part of the DRAM controller.

[23] The access rate is equal to a number of accesses per a current time interval.

[24] In one embodiment, selecting the memory access rate includes selecting a length for the current time interval.

[25] In one embodiment, the DRAM controller controls access to the memory system.

10

20

30

- [26] The present invention provides the advantage of substantially reducing the worst case power consumption of the memory system, as seen by the power supply and the cooling system without substantially impacting the performance of the memory system. Reducing the worst case power consumption allows for a smaller overall power supply to be used.
- 5 [27] Reducing the worst case power consumption also reduces the peak demand on the cooling systems and methods thereby allow a smaller overall cooling system.
- [27] Other aspects and advantages of the invention will become apparent from the following detailed description, taken in conjunction with the accompanying drawings, illustrating by way of example the principles of the invention.

10

BRIEF DESCRIPTION OF THE DRAWINGS

- 10 [28] The present invention will be readily understood by the following detailed description in conjunction with the accompanying drawings, and like reference numerals designate like structural elements.
- [29] Figure 1 is a high-level block diagram of a typical computer system.
- 15 [30] Figure 2 is a block diagram of a computer system in accordance with one embodiment of the present invention.
- [31] Figure 3 is a flowchart diagram of the method operations of one embodiment of the present invention.

DETAILED DESCRIPTION OF THE EXEMPLARY EMBODIMENTS

- 20 [32] Several exemplary embodiments for managing DRAM power consumption will now be described. It will be apparent to those skilled in the art that the present invention may be practiced without some or all of the specific details set forth herein.
- [33] As discussed above, in a typical application, the DIMM at typical access rates results in an average of about 6 to 9 watts of power consumption by the DIMM. The same DIMM
- 25 can have a maximum power consumption at a maximum access rate of as much as 14 watts. In one embodiment, the system and method for reducing the power consumption of the DIMM is a method of limiting the number of accesses to the DIMM for a given time interval so that a maximum power consumption for DIMM does not exceed a pre-selected amount.

20

30

- [34] In one embodiment, the access rate can be limited to a selected rate such that the power consumption cannot exceed a corresponding power level for a pre-selected time interval. By way of example, the corresponding power consumption can be about 66 percent of the maximum power consumption of the DIMM, such as about 9 watts if the DIMM consumes about 14 watts at maximum access rate. The pre-selected time interval can be about 10 microseconds. Therefore, if a DIMM access rate of 1,000 accesses per 10 microseconds resulted in a 9-watt power consumption rate of the DIMM, then the 1,001 and subsequent accesses during that same 10 microsecond period would be delayed until a subsequent 10 microsecond period.
- 10 [35] A thermal time constant is much longer than 10 microseconds as a result the peak power consumption of the DIMM as seen by the cooling system can also be reduced by about 35% which further reduces the cooling requirements of the computer system and further reduces the power requirements of the power supply.
- [36] Figure 2 is a block diagram of a computer system 200 in accordance with one embodiment of the present invention. The computer system 200 includes the processor 102, the ROM 104, and the RAM 106, each connected to the bus system 108. The computer system 200 also includes the mass storage device 110, the network interface 112, multiple (N) of input/output (I/O) devices 116-1 through 116-N and a power supply 220. The computer system 200 can also include a DRAM controller 230 for controlling the accesses to the RAM 106. The DRAM controller 230 can be part of the processor 102 or part of the bus system 108 or part of the RAM 106. The DRAM controller 230 can also be a state machine.
- 20 [37] The power supply 220 supplies the power to the various components of the computer system 200. In particular, the power supply 220 supplies current to the DIMMs 106-1 through 106-N via a power supply rail 222. The power supply 220 includes one or more decoupling capacitors 224A. Each of the DIMMs 106-1 through 106-N can also include one or more decoupling capacitors 224B, 224C.
- 25 [38] Typically, the power supply 220 has a regulation time constant which is the time required for the power supply 220 to respond to a change in current demand on the power supply rail 222. By way of example, if the regulation time constant is 10 microseconds, then, if the current demand on the power supply rail 222 increases from 200 ma to 300 ma, then the power supply 220 would lag in delivering the 100 ma increase (300 ma total) of current
- 30

10

20

30

to the power supply rail 222 for approximately 10 microseconds. In another example, if the number of accesses on the DIMMs 106-1 through 106-N suddenly (e.g., in 5 microseconds) doubled, then the current draw by the DIMMs 106-1 through 106-N would just as suddenly approximately double. However, because the power supply 220 cannot increase the amount of current supplied to the power supply rail 222 in 5 microseconds, then the various decoupling capacitors 224A, 224B, 224C can partially discharge to provide the "excess demand current" during the 5 microsecond peak demand period and until the power supply 220 is able to meet the power consumption demand.

[39] A typical regulation time constant is 10 microseconds, therefore the decoupling capacitors 224A, 224B, 224C are sized so as to be able to supply the peak currents for approximately 10 microseconds.

[40] Figure 3 is a flowchart diagram of the method operations 300 of one embodiment of the present invention. In operation 302 a DIMM access rate (i.e., access per a pre-selected time interval) is selected. The DIMM access rate can be selected by selecting a desired power consumption rate that corresponds to the access rate. By way of example, for a given DIMM, 1000 accesses per each 10 microsecond interval will cause the DIMM to consume 9 watts of power for each 10 microsecond time interval. Therefore, selecting 1000 accesses per 10 microsecond interval will correspond to 9 watts of power consumption. Alternatively, selecting a consumption rate of 9 watts per 10 microsecond interval will correspond to 1000 accesses per 10 microsecond interval. Selecting the access rate also includes selecting the time interval.

[41] The selected time interval length is selected to be a relatively short time interval that is still sufficiently long enough so that there are only a few intervals where the number of attempted accesses would exceed the selected access rate. Because the selected interval is long enough that few accesses are actually delayed, then there should be no significant performance impact on the processor. In one embodiment, a 10 microsecond time interval is adopted because the 10 microsecond time interval is also the typical power supply regulation time constant, as described above. While a 10 microsecond time interval is described herein, it should be understood that shorter and longer time intervals could also be used.

[42] In operation 304, the initial time interval is started. A timer having the pre-selected time interval length can be used to monitor the time interval. The processor 102 accesses the

10

20

30

DIMM in operation 306. In one embodiment, the DRAM controller 230 intercepts the processor's access of the DIMM to control the processor's 102 accesses to the DIMMs 106-1 through 106-N.

[43] In operation 308, the time interval is checked to determine if the time interval has expired. If the time interval has expired, the method operations continue in operation 322 as described below. If, in operation 308, the time interval has not expired, then, in operation 310, a DIMM access counter is incremented. The DIMM access counter can be a physical counter or simply a memory location or any other method as are well known in the art to monitor a state.

[44] In operation 312, the access rate is examined to determine if the access rate has been exceeded. By way of example, the DIMM access counter can be examined to determine if the number of access exceeds the maximum number of access in the current time interval. If, in operation 312, the access rate has not been exceeded, then the access is applied to the DIMM in operation 314 and the DIMM responds to the access in operation 316 and the method operations continue at operation 306.

[45] If in operation 312, the access rate has been exceeded, then the time the access is delayed until the current time interval expires in operation 320. When the current time interval expires in operation 320, the method operation continue in operation 322 where a subsequent time interval is initiated. In operation 324, the access is applied to the DIMM and the DIMM responds to the access in operation 326. The DIMM access counter is reset to 1 in operation 328 and the method operations continue at operation 306.

[46] As used herein the term "about" means $\pm 10\%$. By way of example, the phrase "about 250" indicates a range of between 225 and 275.

[47] With the above embodiments in mind, it should be understood that the invention may employ various computer-implemented operations involving data stored in computer systems. These operations are those requiring physical manipulation of physical quantities. Usually, though not necessarily, these quantities take the form of electrical or magnetic signals capable of being stored, transferred, combined, compared, and otherwise manipulated. Further, the manipulations performed are often referred to in terms, such as producing, identifying, determining, or comparing.

10

20

30

[48] Any of the operations described herein that form part of the invention are useful machine operations. The invention also relates to a device or an apparatus for performing these operations. The apparatus may be specially constructed for the required purposes, or it may be a general-purpose computer selectively activated or configured by a computer program stored in the computer. In particular, various general-purpose machines may be used with computer programs written in accordance with the teachings herein, or it may be more convenient to construct a more specialized apparatus to perform the required operations.

[49] The invention can also be embodied as computer readable code on a computer readable medium. The computer readable medium is any data storage device that can store data which can be thereafter be read by a computer system. Examples of the computer readable medium include hard drives, network attached storage (NAS), read-only memory, random-access memory, CD-ROMs, CD-Rs, CD-RWs, magnetic tapes, and other optical and non-optical data storage devices. The computer readable medium can also be distributed over a network coupled computer systems so that the computer readable code is stored and executed in a distributed fashion.

[50] It will be further appreciated that the instructions represented by the operations in Figure 3 are not required to be performed in the order illustrated, and that all the processing represented by the operations may not be necessary to practice the invention. Further, the processes described in Figure 3 can also be implemented in software stored in any one of or combinations of the RAM, the ROM, or the hard disk drive.

[51] Although the foregoing invention has been described in some detail for purposes of clarity of understanding, it will be apparent that certain changes and modifications may be practiced within the scope of the appended claims. Accordingly, the present embodiments are to be considered as illustrative and not restrictive, and the invention is not to be limited to the details given herein, but may be modified within the scope and equivalents of the appended claims.

What is claimed is:

10

20

30

WO 03/036450

PCT/US02/33323

10

Claims

1. A computing system comprising:
a processor;
5 a memory system, that includes at least one DRAM module;
a DRAM controller, wherein the DRAM controller is operable to limit an access rate to
the at least one DRAM module so that an average DRAM module power consumption rate is
less than or equal to a desired memory power consumption rate; and
a bus that couples the memory system, the processor and the DRAM controller.
10
2. The system of claim 1, wherein the DRAM controller includes a state machine.
3. The system of claim 1, wherein the access rate is equal to a number of accesses per a
current time interval.
15
4. The system of claim 3, further comprising a power supply for the memory system.
5. The system of claim 4, wherein the length for the current time interval is less than a
regulation time constant of the power supply for the memory system.
- 20
6. The system of claim 4, wherein the length for the current time interval is equal to about
10 microseconds.
7. The system of claim 1, wherein the desired memory power consumption rate is equal to
25 about 66 percent of a maximum power consumption of the at least one DRAM module.
8. The system of claim 1, wherein the desired memory power consumption rate is equal to
about 9 watts for each of the at least one DRAM module.
- 30
9. The system of claim 1, wherein the processor includes the DRAM controller.
10. A method for limiting power consumption of a computer memory system comprising:

10

20

30

WO 03/036450

PCT/US02/33323

11

selecting a memory access rate, the selected memory access rate corresponds to a desired average memory power consumption rate;

starting a first time interval as a current time interval;

accessing a memory system;

5 if the memory access rate has not been exceeded, then applying the access to the memory system; and

if the memory access rate has been exceeded, then:

delaying the access until the current time interval has expired;

starting a subsequent time interval as the current time interval; and

10 applying the access to the memory system.

11. The method of claim 10, wherein accessing the memory system can include:

determining if the current time interval has expired, if the current time interval has expired, then:

15 starting a subsequent time interval as the current time interval; and
applying the access to the memory system.

12. The method of claim 11, wherein if the current time interval has not expired then incrementing an access counter.

20

13. The method of claim 10, wherein the access rate is equal to a number of accesses per a current time interval.

14. The method of claim 10, wherein selecting the memory access rate includes selecting a length for the current time interval.

25

15. The method of claim 14, wherein the length for the current time interval is less than a regulation time constant of a power supply of the computer system.

30 16. The method of claim 14, wherein the length for the current time interval is equal to about 10 microseconds.

10

20

30

WO 03/036450

PCT/US02/33323

12

17. The method of claim 10, wherein the desired memory power consumption rate is equal to about 66 percent of a maximum power consumption of each memory module in the memory system.

5 18. The method of claim 10, wherein the desired memory power consumption rate is equal to about 9 watts per memory module in the memory system.

19. The method of claim 10, wherein a DRAM controller controls access to the memory system.

10

10

20

30

WO 03/036450

PCT/US02/33323

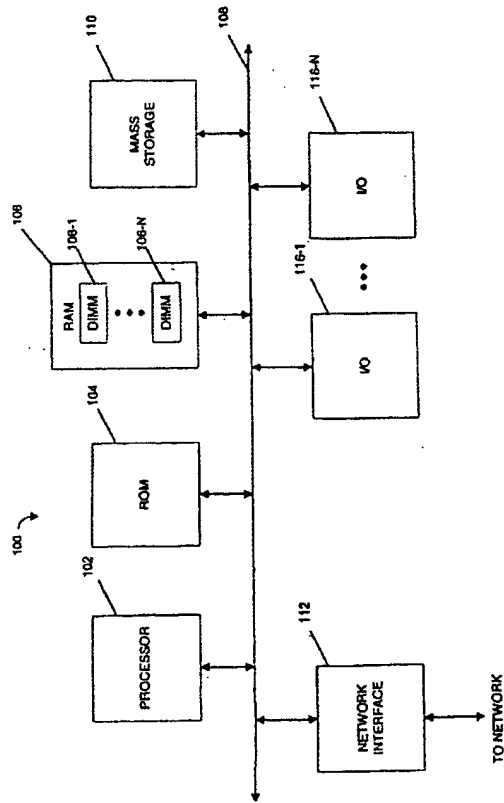


FIGURE 1
PRIOR ART

10

20

30

WO 03/036450

PCT/US02/33323

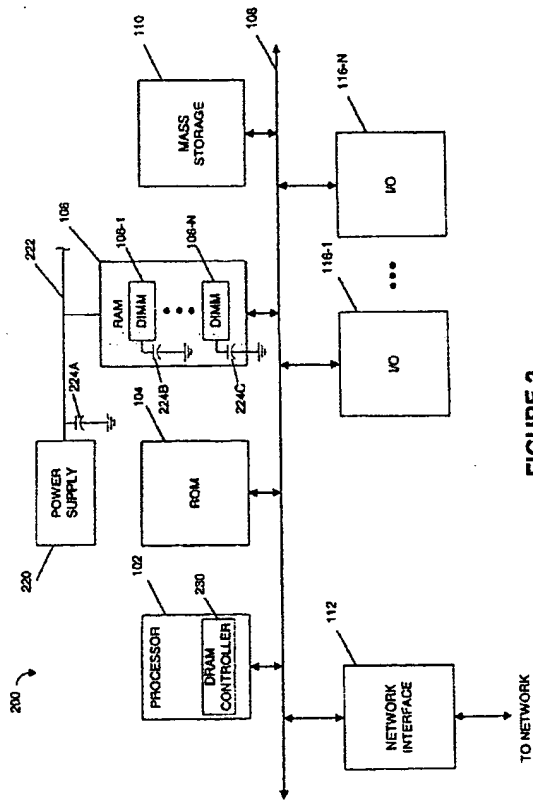


FIGURE 2

2/3

10

20

30

WO 03/036450

PCT/US02/33323

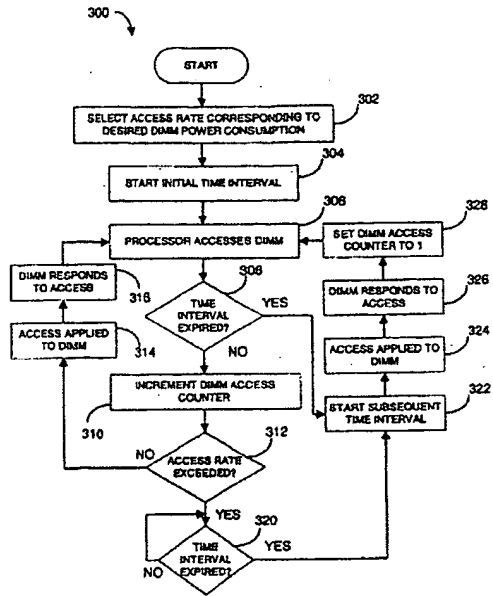


FIGURE 3

10

20

30

【国際公開パンフレット (コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property
Organization
International Bureau

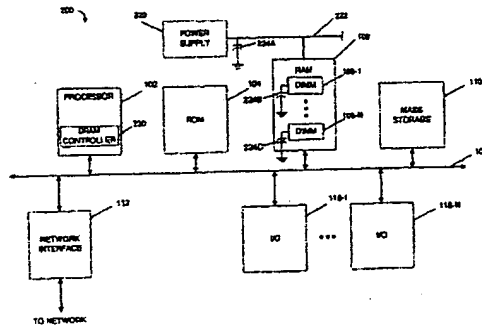
PCT

(43) International Publication Date
1 May 2003 (01.05.2003)(10) International Publication Number
WO 2003/036450 A3

- (51) International Patent Classification: G06F 1/32, 1/20 (74) Agent: LEAVELL, George, B.; Martinez & Penilla, LLP, 710 Lakeway Drive, Suite 170, Sunnyvale, CA 94085 (US)
- (11) International Application Number: PCT/US2002/033323 (81) Designated States (national): DE, GB, JP, KR.
- (22) International Filing Date: 18 October 2002 (18.10.2002) (84) Designated States (regional): European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
- (25) Filing Language: English Published:
— with international search report
— before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments
- (26) Publication Language: English
- (30) Priority Data: 60/345,315 22 October 2001 (22.10.2001) US (68) Date of publication of the international search report: 31 December 2003
- (71) Applicant: SUN MICROSYSTEMS, INC. (US/US), 4150 Network Circle, Santa Clara, CA 95054 (US).
- (72) Inventor: KOUN, Leslie, D.; 43967 Roseberry Drive, Fremont, CA 94539 (US)

For two letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: DRAM POWER MANAGEMENT



(57) Abstract: A system and method for limiting power consumption of a computer memory system. The system and method includes selecting a memory access rate. The selected memory access rate corresponds to a desired average memory power consumption rate. A first time interval is started as a current time interval. A memory system is accessed. If the memory access rate has not been exceeded, then the access is applied to the memory system. Alternatively, if the memory access rate has been exceeded, then the access is delayed until the current time interval has expired and a

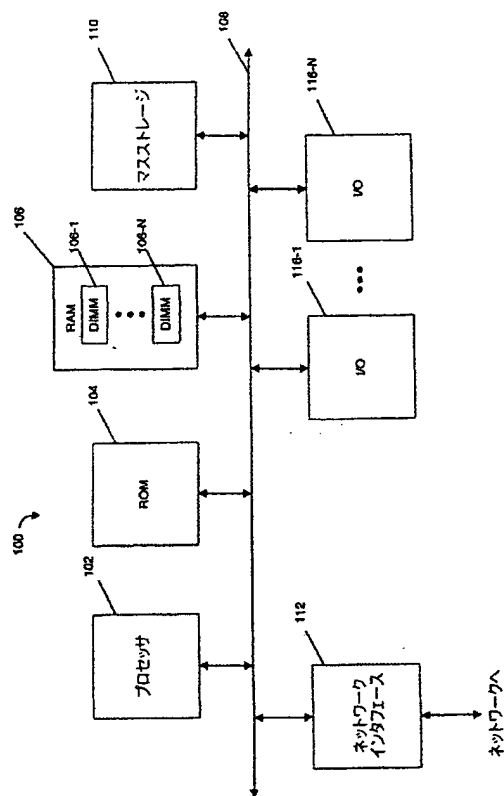
WO 2003/036450 A3

10

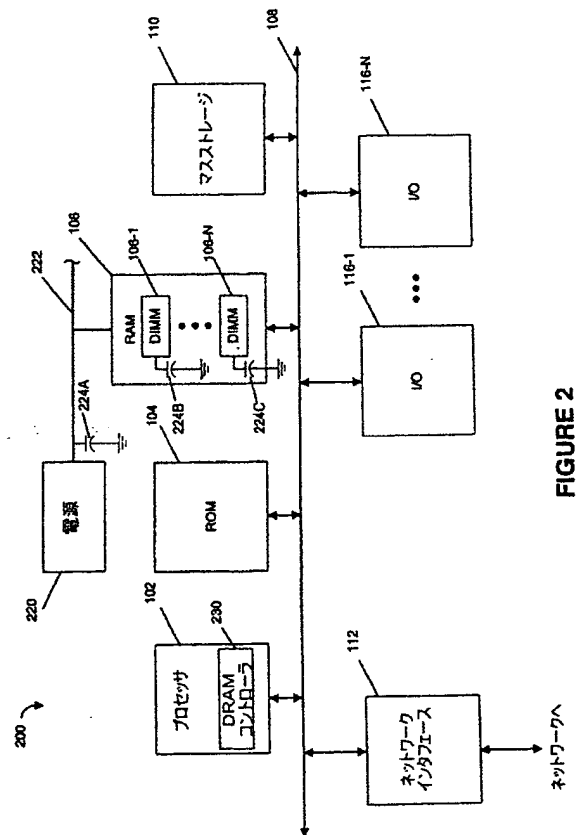
20

30

【図 1】



【図 2】



【図 3】

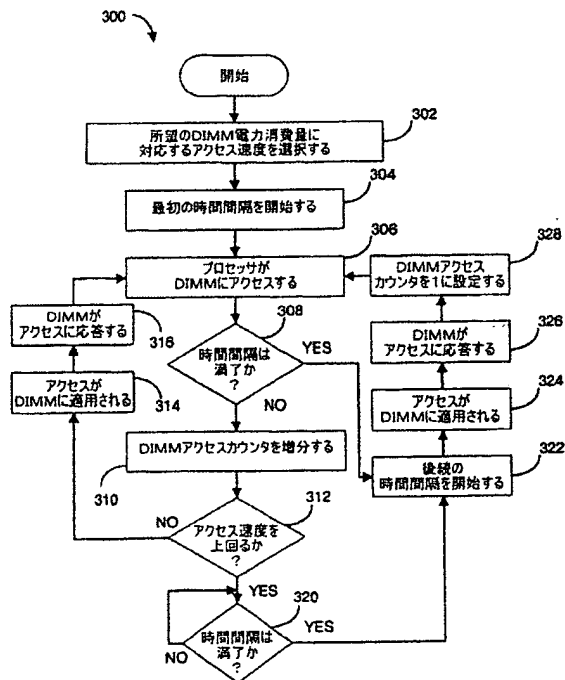


FIGURE 3

【手続補正書】

【提出日】平成16年4月24日(2004.4.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

コンピューティングシステムであって、
プロセッサと、
少なくとも一つのDRAMモジュールを含むメモリシステムと、
平均DRAMモジュール電力消費率が所望のメモリ電力消費率以下になるように前記少なくとも一つのDRAMモジュールに対するメモリセルアクセス速度を制限する動作が可能であるDRAMコントローラと、
前記メモリシステム、前記プロセッサ、及び前記DRAMコントローラを結合するバスと、
を備えるシステム。

【請求項2】

請求項1記載のコンピューティングシステムであって、
前記DRAMコントローラがステートマシンを含む、システム。

【請求項3】

請求項1記載のコンピューティングシステムであって、
前記メモリセルアクセス速度は、現行時間間隔あたりに前記少なくとも一つのDRAMモジュールにおいてアクセス可能なメモリセルの数に等しい、システム。

【請求項4】

請求項3記載のコンピューティングシステムであって、さらに、
前記メモリシステム用の電源を備える、システム。

【請求項5】

請求項4記載のコンピューティングシステムであって、
前記現行時間間隔の長さは、前記メモリシステム用の前記電源の調整時定数より小さい、システム。

【請求項6】

請求項4記載のコンピューティングシステムであって、
前記現行時間間隔の長さは、約10マイクロ秒に等しい、システム。

【請求項7】

請求項1記載のコンピューティングシステムであって、
所望のメモリ電力消費率が、前記少なくとも一つのDRAMモジュールの最大電力消費量の約66パーセントに等しい、システム。

【請求項8】

請求項1記載のコンピューティングシステムであって、
前記所望のメモリ電力消費率は、前記少なくとも一つのDRAMモジュールの各々について約9ワットに等しい、システム。

【請求項9】

請求項1記載のコンピューティングシステムであって、
前記プロセッサは、前記DRAMコントローラを含む、システム。

【請求項10】

コンピュータメモリシステムの電力消費量を制限する方法であって、
メモリセルアクセス速度を選択する工程であって、前記選択されたメモリセルアクセス速度が所望の平均メモリ電力消費率に対応する工程と、

第1の時間間隔を、現行時間間隔として開始する工程と、
メモリシステムにアクセスする工程と、
前記メモリセルアクセス速度を超過しない場合には、前記アクセスをメモリシステムに適用する工程と、
前記メモリセルアクセス速度を超過する場合には、前記現行時間間隔が満了するまで、前記アクセスを遅延させるとともに、後続の時間間隔を前記現行時間間隔として開始し、そして前記アクセスを前記メモリシステムに適用する工程と、
を備える方法。

【請求項11】

請求項10記載の方法であって、
前記メモリシステムにアクセスする工程は、前記現行時間間隔が満了したかどうかを判断するとともに、前記現行時間間隔が満了している場合には、後続の時間間隔を前記現行時間間隔として開始するとともに、前記アクセスを前記メモリシステムに適用する工程を含む、方法。

【請求項12】

請求項11記載の方法であって、
前記現行時間間隔が満了していない場合には、アクセスカウンタを増分する、方法。

【請求項13】

請求項10記載の方法であって、
前記メモリセルアクセス速度は、現行時間間隔あたりにアクセス可能なメモリセルの数に等しい、方法。

【請求項14】

請求項10記載の方法であって、
前記メモリセルアクセス速度を選択する工程は、前記現行時間間隔の長さを選択する工程を含む、方法。

【請求項15】

請求項14記載の方法であって、
前記現行時間間隔の長さは、前記コンピュータシステム用の電源の調整時定数より小さい、方法。

【請求項16】

請求項14記載の方法であって、
前記現行時間間隔の長さは、約10マイクロ秒に等しい、方法。

【請求項17】

請求項10記載の方法であって、
前記所望のメモリ電力消費率は、前記メモリシステム内の各メモリモジュールの最大電力消費量の約66パーセントに等しい、方法。

【請求項18】

請求項10記載の方法であって、
前記所望のメモリ電力消費率は、前記メモリシステム内のメモリモジュール当たり約9ワットに等しい、方法。

【請求項19】

請求項10記載の方法であって、
DRAMコントローラが前記メモリシステムへのアクセスを制御する、方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 02/33323
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 606F1/32 606F1/20		
According to International Patent Classification (IPC) or its national classification and PC		
B. FIELDS SEARCHED Abstracts searched (classification system followed by classification symbols) IPC 7 606F 611C		
Documentation searched other than abstracts (classification system followed by classification symbols) IPC 7 606F 611C		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Category or document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 777 182 A (BULL HN INFORMATION SYST) 4 June 1997 (1997-06-04) abstract column 1, line 40 - column 2, line 56	1-4, 6-9
A		5, 10-15, 19
X	US 3 736 569 A (BOURICUS W ET AL) 29 May 1973 (1973-05-29) abstract column 1, line 1-8 column 1, line 31 - line 60 column 5, line 47 - column 6, line 8 claim 1	1-4, 6-9
A		10, 19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document has been published on or after the international filing date "C" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another document or other special reasons for specifying "D" document referring to an oral disclosure, use, exhibition or other means "E" document published prior to the international filing date but later than the priority date claimed "F" non-patent document published after the international filing date or priority date but not in conflict with the invention, but cited to substantiate the plausibility of theory underlying the invention "G" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "H" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is considered with one or more other such documents, such combination being obvious to a person skilled in the art "I" document member of the same patent family		
Date of the actual completion of the international search 29 October 2003		Date of posting of the international search report 04/11/2003
Name and mailing address of the ISA European Patent Office, P.O. Box 2018, Postfach 2 D-6200 Wiesbaden, Germany Tel. (+353-70) 540-4000, 70, 21 851 890 RL Fax: (+353-70) 540-4014		Authorized officer Bravo, P

Form PCT/ISA/210 (proposed change) (July 1999)

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 02/33323
C/Comparative DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of documents, with indication where appropriate, of the relevant passages	Relevant to claim no.
X	US 6 021 076 A (SATAGOPAN RAMPRASAD ET AL) 1 February 2000 (2000-02-01) abstract column 1, line 56 -column 2, line 6 column 3, line 31 - line 53 column 6, line 1 - line 67; figure 3 column 7, line 61 -column 8, line 7	1-4,6-9
A		10,19
A	WO 92 10032 A (ADAPTIVE SOLUTIONS INC) 11 June 1992 (1992-06-11) abstract page 1, line 20 -page 2, line 20 page 5, line 1 -page 6, line 16 page 7, line 3 - line 31; figure 2 page 8, line 23 -page 9, line 28; figure 6	1,10,19

Form PCT/ISRP/10 (preliminary version) dated 1 July 1999

INTERNATIONAL SEARCH REPORT				International Application No. PCT/US 02/33323	
Patent document cited in search report		Publication date	Patent family member(s)	Publication date	
EP 0777182	A	04-06-1997	EP 0777182 A1	04-06-1997	
			DE 69521616 01	09-08-2001	
			DE 69521616 T2	18-10-2001	
			US 5903914 A	11-05-1999	
US 3736569	A	29-05-1973	NONE		
US 6021076	A	01-02-2000	WO 0004481 A2	27-01-2000	
			US 2001014049 A1	16-08-2001	
WO 9210032	A	11-06-1992	WO 9210032 A1	11-06-1992	
			EP 0612009 A1	11-11-1992	
			JP 5503181 T	27-05-1993	

Form PCT/ISA/210 (patent family sheet) (July 1999)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.